САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab4

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил: Непомнящий Матвей Тимофеевич

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

группа: 5130901/10101

преподаватель: Федотов Александр Александрович

Санкт-Петербург

2023

**Оглавление**

[1. Задание lab3\_1 4](#_Toc146647707)

[1.1 Задание 4](#_Toc146647708)

[1.2 Описание на языке Verilog 4](#_Toc146647709)

[1.3 Результат синтеза (RTL) 5](#_Toc146647710)

[1.4 Моделирование 5](#_Toc146647711)

[1.5 Назначение выводов СБИС 6](#_Toc146647712)

[1.6 Тестирование на плате miniDiLaB-CIV 6](#_Toc146647713)

[1.7 Выводы 6](#_Toc146647714)

[2. Задание lab3\_2 7](#_Toc146647715)

[2.1 Задание 7](#_Toc146647716)

[2.2 Описание на языке Verilog 7](#_Toc146647717)

[2.3 Результат синтеза (RTL) 7](#_Toc146647718)

[2.4 Моделирование 8](#_Toc146647719)

[2.5 Выводы 10](#_Toc146647720)

[3. Задание lab3\_3 11](#_Toc146647721)

[3.1 Задание 11](#_Toc146647722)

[3.2 Описание на языке Verilog 11](#_Toc146647723)

[3.3 Результат синтеза (RTL) 11](#_Toc146647724)

[3.4 Моделирование 12](#_Toc146647725)

[3.5 Назначение выводов СБИС 13](#_Toc146647726)

[3.6 Тестирование на плате miniDiLaB-CIV 13](#_Toc146647727)

[3.7 Выводы 14](#_Toc146647728)

[4. Задание lab3\_3 15](#_Toc146647729)

[4.1 Задание 15](#_Toc146647730)

[4.2 Описание на языке Verilog 15](#_Toc146647731)

[4.3 Результат синтеза (RTL) 16](#_Toc146647732)

[4.4 Моделирование 16](#_Toc146647733)

[4.5 Назначение выводов СБИС 18](#_Toc146647734)

[4.6 Тестирование на плате miniDiLaB-CIV 18](#_Toc146647735)

[4.7 Выводы 18](#_Toc146647736)

Список иллюстраций

[Рис. 1‑1 Описание на языке Verilog 4](#_Toc147340661)

[Рис. 1‑2 Синтезированная схема 5](#_Toc147340662)

[Рис. 1‑3 Результат моделирования средствами QII 6](#_Toc147340663)

[Рис. 2‑1 Описание на языке Verilog 7](#_Toc147340665)

[Рис. 2‑2 Синтезированная схема 8](#_Toc147340666)

[Рис. 2‑3 Результат моделирования средствами QII 10](#_Toc147340667)

[Рис. 3‑1 Описание на языке Verilog 11](#_Toc147340668)

[Рис. 3‑2 Синтезированная схема 12](#_Toc147340669)

[Рис. 3‑3 Результат моделирования средствами QII 13](#_Toc147340670)

[Рис. 3‑4 Назначение выводов в приложении Pin Planner 13](#_Toc147340671)

[Рис. 3‑1 схема устройства 15](#_Toc147340672)

# Задание lab4\_1

## Задание

✓ На языке Verilog, опишите 32 разрядный счетчик-делитель с параметризированным модулем счета (по достижению счетчиком значения «модуль счета – 1» на выходе cout должен синхронно формироваться импульс переноса длительностью один период тактового сигнала).

✓ Параметр: – cmd – модуль счета (при cmd=10 счетчик работает следующим образом: 0, 1, 2, ….8, 9 (формируется cout=1), 0,…)

✓ Входы : – clk – вход тактового сигнала; – srst – вход синхронного сброса счетчика: при 0 – сброс – ena – вход разрешения работы: при 0 – работа запрещена ✓ Выходы – cout – выход переноса (на выходе cout должен синхронно формироваться импульс длительностью один период тактового сигнала при достижении счетчиком значения: модуль счета - 1) ✓ Имя проекта – lab4\_1. Имя модуля верхнего уровня – lab4\_1. Имя файла – lab4\_1.v

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

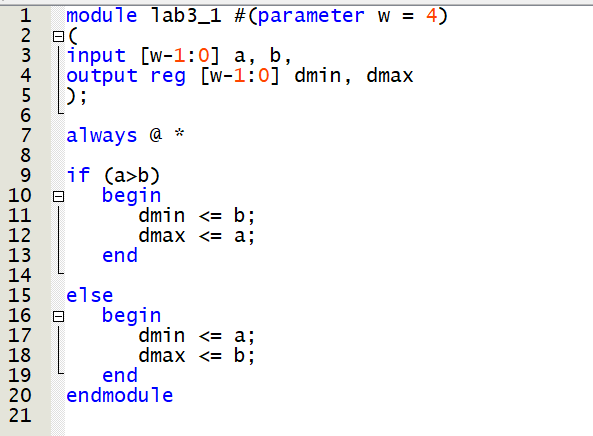


Рис. ‑ Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus описания на языке Verilog приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

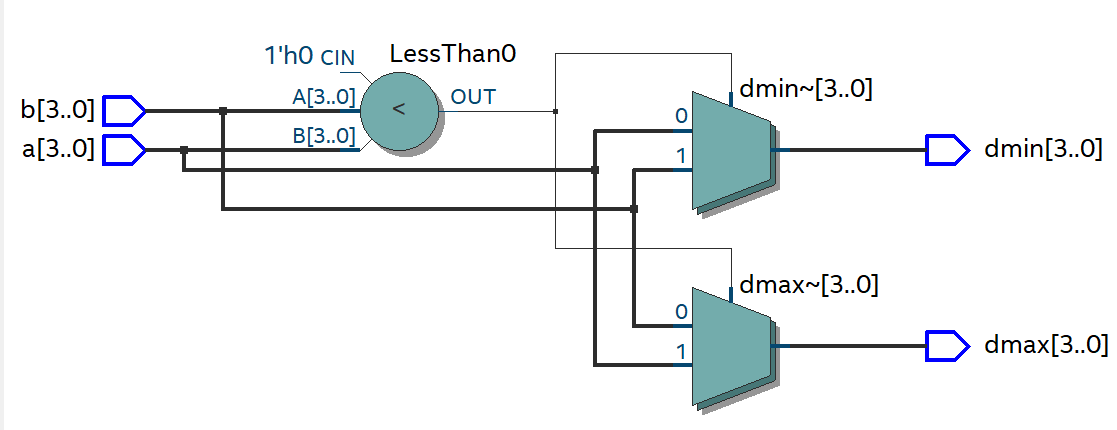


Рис. ‑ Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка:

* на вход a подается 15
* на вход b подается 12
* на выход dmax подается 15
* на выход dmin подается 12

1. проверка:

* на вход a подается 3
* на вход b подается 14
* на выход dmax подается 14
* на выход dmin подается 3

1. проверка:

* на вход a подается 10
* на вход b подается 13
* на выход dmax подается 13
* на выход dmin подается 10

1. проверка:

* на вход a подается 2
* на вход b подается 12
* на выход dmax подается 12
* на выход dmin подается 2

1. проверка:

* на вход a подается 12
* на вход b подается 11
* на выход dmax подается 12
* на выход dmin подается 11

1. проверка:

* на вход a подается 8
* на вход b подается 8
* на выход dmax подается 8
* на выход dmin подается 8

Результаты моделирования приведены на Рис. 1‑3

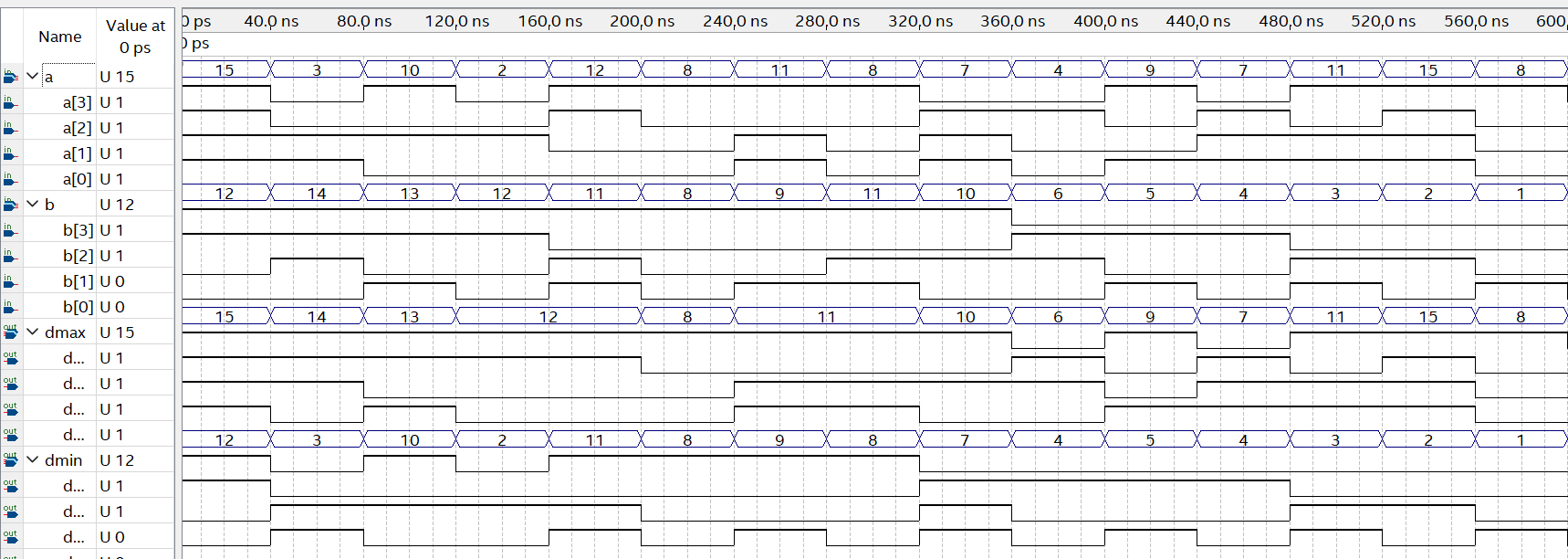


Рис. ‑ Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Изображение выглядит как текст, снимок экрана, число, линия

Автоматически созданное описание Рис. ‑ Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Лабораторная работа представляет собой описание 32-разрядного счетчика-делителя на языке Verilog с параметризированным модулем счета. Модуль имеет режим cmd=10, который делит тактовый сигнал на 10 частей, формируя импульс переноса cout после каждого цикла. Управление модулем осуществляется через входы clk, srst и ena, что делает его гибким и управляемым.

Этот код на Verilog обеспечивает надежное и эффективное деление частоты с возможностью контроля, что полезно при разработке цифровых устройств. Он может применяться в синхронизации и счетчиках для микроконтроллеров и других цифровых устройствах, где требуется деление частоты и управление им.

# Задание lab3\_2

## Задание

На языке Verilog, с использованием массивов, опишите преобразователь 4 разрядного двоичного кода в 7-

сегментный код (сегменты включаются логической единицей).

✓ Входы данных

– [3:0] a

✓ Выходы

– [6:0] d7seg

✓ Имя проекта – lab3\_2. Имя модуля верхнего уровня – lab3\_2. Имя файла lab3\_2.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

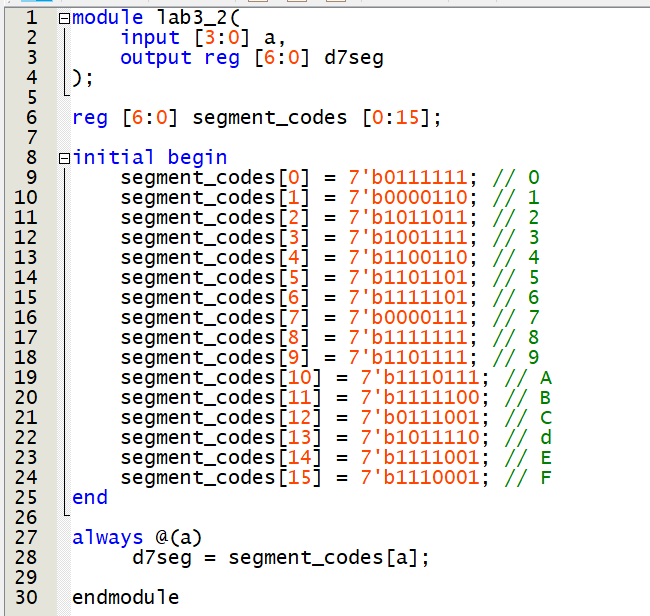


Рис. ‑ Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Изображение выглядит как текст, снимок экрана, Шрифт, диаграмма

Автоматически созданное описание

Рис. ‑ Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка:

* на вход a подается 0
* на выходе d7seg получаем 0111111

1. проверка:

* на вход a подается 1
* на выходе d7seg получаем 0000110

1. проверка:

* на вход a подается 2
* на выходе d7seg получаем 1011011

1. проверка:

* на вход a подается 3
* на выходе d7seg получаем 1001111

1. проверка:

* на вход a подается 4
* на выходе d7seg получаем 1100110

1. проверка:

* на вход a подается 5
* на выходе d7seg получаем 1101101

1. проверка:

* на вход a подается 6
* на выходе d7seg получаем 1111101

1. проверка:

* на вход a подается 7
* на выходе d7seg получаем 0000111

1. проверка:

* на вход a подается 8
* на выходе d7seg получаем 1111111

1. проверка:

* на вход a подается 9
* на выходе d7seg получаем 1101111

1. проверка:

* на вход a подается 10
* на выходе d7seg получаем 1110111

1. проверка:

* на вход a подается 11
* на выходе d7seg получаем 1111100

1. проверка:

* на вход a подается 12
* на выходе d7seg получаем 0111001

1. проверка:

* на вход a подается 13
* на выходе d7seg получаем 1011110

1. проверка:

* на вход a подается 14
* на выходе d7seg получаем 1111001

1. проверка:

* на вход a подается 15
* на выходе d7seg получаем 1110001

Результаты моделирования приведены на Рис. 2‑3:

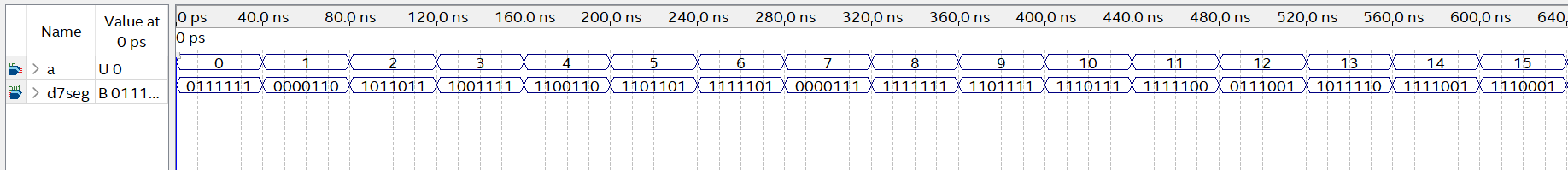


Рис. ‑ Результат моделирования средствами QII

Моделирование показало, что полученные результаты совпадают с ожидаемыми для всех приведенных выше тестов.

## Выводы

В рамках данной лабораторной работы был разработан преобразователь 4-разрядного двоичного кода в 7-сегментный код с использованием языка Verilog и массивов. Этот преобразователь может быть полезен во множестве приложений, где необходимо отображать информацию в виде цифр и символов на 7-сегментных дисплеях. Массивы были эффективно использованы для создания соответствия между 4-разрядным двоичным кодом и сегментами семисегментного дисплея. Это делает код компактным и понятным. Разработка такого устройства с использованием Verilog и массивов представляет собой хорошую практику для студентов, изучающих цифровую электронику и программирование на языке Verilog.

# Задание lab3\_3

## Задание

На языке Verilog, с использованием процедурных блоков и поведенческих операторов, опишите

параметризированный мультиплексор (параметризируется разрядность) 2 в 1.

✓ Параметры:

– w – разрядность данных (базовое значение 4)

✓ Входы данных

– [w-1:0] a - (при реализации модуля на плате miniDilabCIV: w=4; назначить на переключатели sw[3:0] )

– [w-1:0] b - (при реализации модуля на плате miniDilabCIV : w=4; назначить на переключатели sw[7:4] )

– sel – вход выбора источника (вход управления мультиплексора). При реализации модуля на плате miniDilabCIV :

назначить на кнопку pba

✓ Выходы

– [w-1:0] res – выход мультиплексора (при реализации модуля на плате miniDilabCIV : w=4; назначить на

светодиоды led[3:0])

✓ Имя проекта – lab3\_3. Имя модуля верхнего уровня – lab3\_3. Имя файла lab3\_3.v

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3‑1.

Также, необходимо отметить, что был добавлен вход sw. Он отвечает за переключение режима нахождения минимума или максимума.

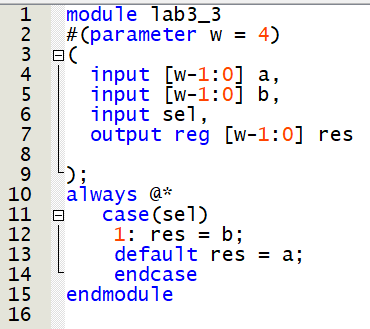


Рис. 3‑ Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus описания на языке Verilog приведен ниже, на Рис. 3‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Изображение выглядит как диаграмма, снимок экрана, линия, текст

Автоматически созданное описание

Рис. 3‑ Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка:

* на вход sel подается 0
* на вход a подается 1
* на вход b подается 11
* на выходе res получаем 11

1. проверка:

* на вход sel подается 0
* на вход a подается 2
* на вход b подается 14
* на выходе res получаем 14

1. проверка:

* на вход sel подается 0
* на вход a подается 3
* на вход b подается 2
* на выходе res получаем 2

1. проверка:

* на вход sel подается 0
* на вход a подается 4
* на вход b подается 5
* на выходе res получаем 5

1. проверка:

* на вход sel подается 1
* на вход a подается 5
* на вход b подается 3
* на выходе res получаем 11

1. проверка:

* на вход sel подается 1
* на вход a подается 6
* на вход b подается 13
* на выходе res получаем 6

1. проверка:

* на вход sel подается 1
* на вход a подается 8
* на вход b подается 8
* на выходе res получаем 8

Результаты моделирования приведены на Рис. 3‑3

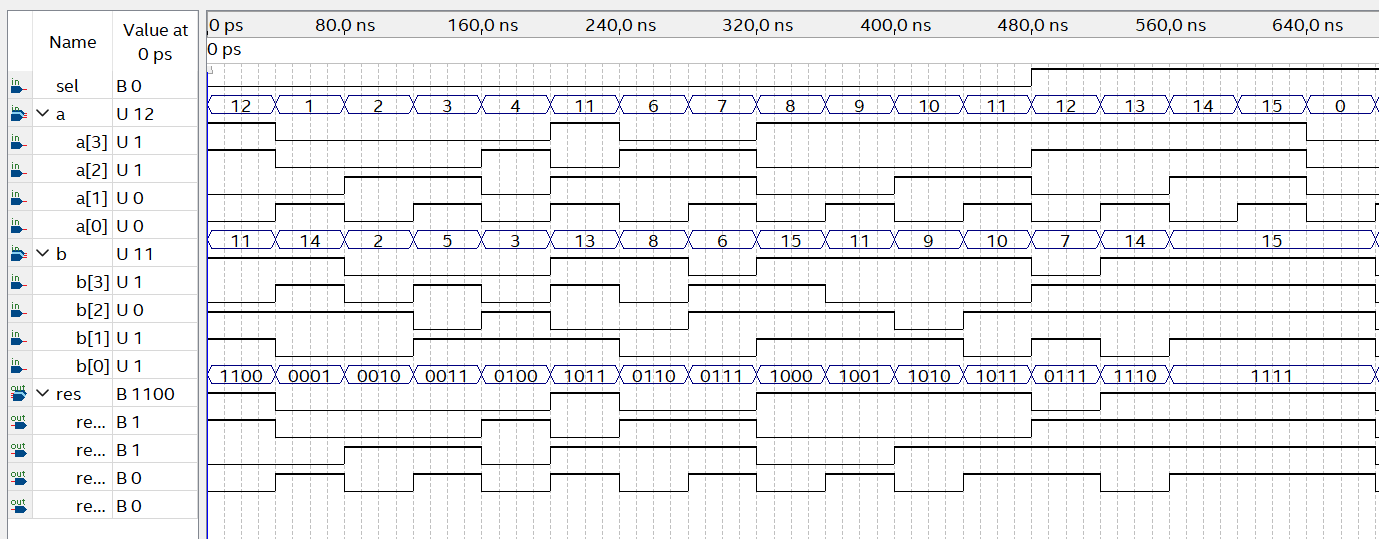


Рис. 3‑ Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Изображение выглядит как текст, снимок экрана, число, линия

Автоматически созданное описание

Рис. 3‑ Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе данной лабораторной работы был разработан параметризированный мультиплексор 2 в 1, используя язык Verilog с использованием процедурных блоков и поведенческих операторов. Этот мультиплексор позволяет выбирать одно из двух входных сигналов и передавать его на выход в зависимости от состояния входа выбора.

Параметр w определяет разрядность данных и делает модуль более гибким, позволяя настраивать его для различных контекстов. Входы a и b принимают данные с соответствующей разрядностью [w-1:0] и предоставляют выбор между двумя источниками данных. Вход sel используется для управления мультиплексором, выбирая между a и b.

Выход res представляет собой выбранный входной сигнал и также имеет разрядность [w-1:0]. Этот мультиплексор может быть использован в различных цифровых системах для выбора между двумя источниками данных в зависимости от управляющего сигнала sel.

Разработка параметризированных модулей в Verilog является важной навыковой практикой и может быть полезной при создании сложных цифровых систем.

# Задание lab3\_4

## Задание

✓ На языке Verilog, используя модули, созданные в lab3\_1, lab3\_3 (параметр w задать равным 4) и lab3\_2 как

компоненты, опишите устройство, структура которого приведена на cхеме 3-1.

✓ Входы

– [3:0] a - вход данных (при реализации модуля на плате miniDilabCIV назначить на переключатели sw[3:0] )

– [3:0] b - вход данных (при реализации модуля на плате miniDilabCIV назначить на переключатели sw[7:4] )

– sel – вход выбора отображаемых данных: минимума или максимума (при реализации модуля на плате

miniDilabCIV назначить на кнопку pba:

– нажата – в 1 разряде 7сегментного индикатора отображается минимум

– не нажата - во 2 разряде 7сегментного индикатора отображается максимум

✓ Выходы:

– [6:0]d7seg – выходы данных для 7-сегментного индикатора (при реализации модуля: назначить на выходы

данных для 7-сегментного индикатора)

– DIG[4:1] – выходы управления разрядами (при реализации модуля: назначить на выходы данных для

управления разрядами 7-сегментного индикатора)

✓ Имя проекта – lab3\_4. Имя модуля верхнего уровня – lab3\_4. Имя файла lab3\_4.v

Изображение выглядит как текст, диаграмма, План, линия

Автоматически созданное описание

Рис. 3‑ схема устройства

## Описание на языке Verilog

В проекте были использованы модули, созданные в lab3\_1, lab3\_3.

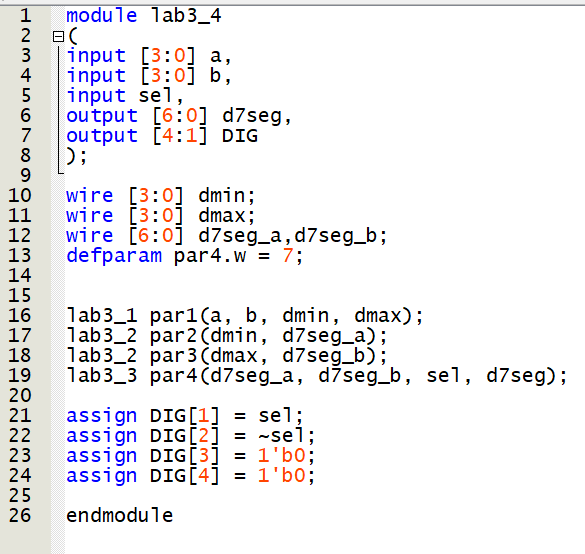


Рис. 3‑2 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus описания на языке Verilog приведен ниже, на Рис. 3‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Изображение выглядит как диаграмма, План, снимок экрана, линия

Автоматически созданное описание

Рис. 3‑3 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка:

* на вход sel подается 0
* на вход a подается 0
* на вход b подается 3
* на выходе d7seg получаем 1001111
* на выходе DIG получаем 0010

1. проверка:

* на вход sel подается 0
* на вход a подается 1
* на вход b подается 4
* на выходе d7seg получаем 1100110
* на выходе DIG получаем 0010

1. проверка:

* на вход sel подается 0
* на вход a подается 10
* на вход b подается 5
* на выходе d7seg получаем 1110111
* на выходе DIG получаем 0010

1. проверка:

* на вход sel подается 0
* на вход a подается 11
* на вход b подается 6
* на выходе d7seg получаем 1111100
* на выходе DIG получаем 0010

1. проверка:

* на вход sel подается 1
* на вход a подается 12
* на вход b подается 13
* на выходе d7seg получаем 0111001
* на выходе DIG получаем 0001

1. проверка:

* на вход sel подается 1
* на вход a подается 13
* на вход b подается 14
* на выходе d7seg получаем 1011110
* на выходе DIG получаем 0001

1. проверка:

* на вход sel подается 1
* на вход a подается 6
* на вход b подается 15
* на выходе d7seg получаем 1111101
* на выходе DIG получаем 0001

1. проверка:

* на вход sel подается 1
* на вход a подается 7
* на вход b подается 0
* на выходе d7seg получаем 0111111
* на выходе DIG получаем 0001

Результаты моделирования приведены на Рис. 3‑3:

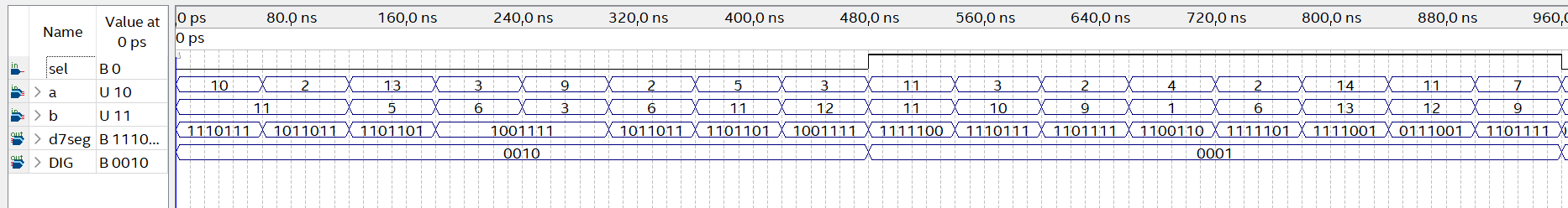


Рис. 3‑4 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Изображение выглядит как текст, снимок экрана, число, линия

Автоматически созданное описание

Рис. 3‑5 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Лабораторная работа, описывающая устройство с использованием Verilog и модулей lab3\_1, lab3\_2 и lab3\_3, предоставляет пример модульной и масштабируемой разработки цифровых систем. Её ценность заключается в следующем:

Модульность: Использование модулей lab3\_1, lab3\_2 и lab3\_3 позволяет создавать независимые компоненты, которые могут быть повторно использованы в разных проектах. Это сокращает время разработки и облегчает поддержку кода.

Параметризация: Задание параметра w равным 4 позволяет легко настраивать разрядность данных в соответствии с требованиями конкретного проекта, что делает код универсальным и адаптируемым.

Простота управления: Вход sel позволяет выбирать отображаемые данные (минимум или максимум) с помощью кнопки, что делает управление устройством интуитивно понятным.

Гибкость: Выходы d7seg и DIG[4:1] предоставляют необходимые данные для управления 7-сегментным индикатором. Это устройство может быть интегрировано в различные системы, где требуется отображение минимума и максимума данных.

В целом, данная работа демонстрирует принципы хорошей разработки цифровых систем, такие как модульность, параметризация и простота управления, что делает код гибким и подходящим для широкого спектра применений.